

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-29376

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵

H 01 L 21/76
23/34

識別記号

D 9169-4M
A

F I

技術表示箇所

審査請求 未請求 請求項の数4(全9頁)

(21)出願番号

特願平4-193603

(22)出願日

平成4年(1992)7月10日

(71)出願人 000005224

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 平林 温夫

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

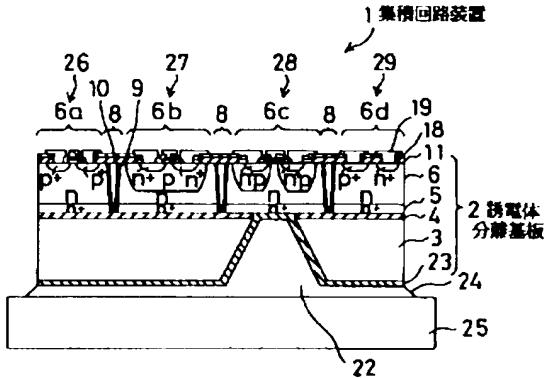
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 集積回路装置

(57)【要約】

【目的】 半導体素子において発生する熱を高効率に放熱して、安定した素子特性を発揮可能な集積回路装置を実現すること。

【構成】 集積回路装置1において、半導体支持基板3の表面側にはシリコン酸化膜4を介して形成され、分離溝8により誘電体分離された半導体層6を有する。半導体基板3には、その裏面側からシリコン酸化膜4を貫通して半導体層6にまで達する裏面コンタクト溝22を有し、この裏面コンタクト溝22の内部には、露出された半導体層6の底部と半導体支持基板3およびベース25とを導電接続する金属膜23が形成され、半導体素子における熱を高効率に放熱する。



1

【特許請求の範囲】

【請求項1】 半導体基板の表面側に絶縁膜を介して形成された半導体層が誘電体分離されて複数の半導体島領域としてなる集積回路装置において、前記半導体基板の裏面側から前記絶縁膜を貫通して少なくとも1つの前記半導体島領域に達する裏面溝部と、この裏面溝部内に形成され少なくとも前記半導体基板と前記半導体島領域とを接続する熱伝導部と、を有することを特徴とする集積回路装置。

【請求項2】 請求項1において、前記熱伝導部は、前記裏面溝部により露出された前記半導体島領域の底部、前記裏面溝部の側壁部及び前記半導体基板の裏面に亘り形成されてなる裏面電極膜であることを特徴とする集積回路装置。

【請求項3】 請求項2において、前記裏面電極膜は、前記半導体島領域のうちの複数の半導体島領域の底部に接続されてなる共通電極膜であることを特徴とする集積回路装置。

【請求項4】 請求項1ないし請求項3のいずれかの項において、前記半導体基板は、SOI基板の支持基板であって、面方位<100>のシリコン単結晶基板であることを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、誘電体分離基板を用いて構成された集積回路装置に関し、特に、各素子形成領域における発熱を効率的に放熱して、装置動作の安定化を図る技術に関する。

【0002】

【従来の技術】集積回路装置においては、それを構成する回路部分の相互間で、半導体層内部を介しての動作の干渉を防ぐため、半導体層内部を複数の半導体島領域に分離して、それらの素子形成領域が互いに電気的に独立するようにしている。その上で、それぞれの素子形成領域にトランジスタやダイオードなどの回路要素、さらには回路要素群からなる回路部分を振り分けた構造とし、これらの回路部分を配線膜によって相互に電気的接続している。このような素子形成領域の素子分離にあたっては接合分離法が多用されていたが、この接合分離法はpn接合の逆バイアス特性を利用したのであるため、素子形成領域間の絶縁分離が確実でなく、また、半導体領域相互間に不必要的トランジスタやダイオードが寄生する構造であるため、集積回路の動作中にラッチアップ現象などの予測されないトラブルや誤動作が発生することがある。そこで、半導体基板内部を誘電体によって分離する誘電体分離法が広く採用されつつある。この誘電体分離法を採用するには、半導体層を誘電体で分離した誘電体分離基板を用いる。この誘電体分離基板は半導体層を多結晶シリコン層で構成する場合もあるが、ここでは、2枚の半導体基板を張り合わせた張り合わせ基板を

10

2

用いて誘電体分離基板を製造する場合について説明する。

【0003】まず、図8(a)に示すように、半導体支持基板(半導体基板)51の上に絶縁膜52を介して形成された埋め込み拡散層53の表面上に半導体層54を形成し、この半導体層54の表面上にエッチングマスク層55を形成した後に、分離溝形成予定領域56aを窓開けする。つぎに、図8(b)に示すように、エッチングマスク層55の窓開け部から、プラズマエッチング法により、絶縁膜52にまで達する分離溝56を形成する。そして、図8(c)に示すように、エッチングマスク層55を除去した後、水蒸気雰囲気中での熱酸化により、分離溝56の側壁に側壁絶縁膜57を形成し、さらに、熱CVD法により、半導体層54の表面側に多結晶半導体層58を堆積して分離溝56の内部を埋め込む。そして、半導体層54の表面側の不要な多結晶半導体層58および側壁絶縁膜57をエッチバック法により除去して半導体層54の表面側を平坦化する。このようにして半導体層54に、側壁絶縁膜57および多結晶半導体層58を備える分離壁と、絶縁膜52とによって素子分離された半導体島領域を備える誘電体分離基板50が形成される。

20

【0004】つぎに、このような誘電体分離基板50の誘電体分離された半導体層54に素子を形成する工程について説明する。まず、図9(a)に示すように、誘電体分離基板50の表面側に熱酸化膜59を形成した後に、各素子形成領域50a, 50b, 50cおよび50dの所定領域を選択的に窓開けする。つぎに、図9(b)に示すように、各素子形成領域50a～50dのうち、50bおよび50cの所定領域に熱酸化膜59の窓開け部から、イオン注入法によりホウ素を注入してp型のウェル60を形成した後、誘電体分離基板50の表面側に熱酸化膜61を形成する。そして、図9(c)に示すように、熱酸化膜61を選択的に除去する。

30

【0005】つぎに、図10(a)に示すように、誘電体分離基板50の表面側にゲート酸化膜62およびゲート電極63を順次成膜した後、素子形成領域50cの所定領域を除いて選択的に除去する。つぎに、図10(b)に示すように、半導体層54の所定領域に熱酸化膜59, 61の窓開け部から、イオン注入法により、n'型のコンタクト層64およびp'型のコンタクト層65を形成する。

40

50

【0006】つぎに、図11(a)に示すように、誘電体分離基板50の表面側に熱CVD法により、シリコン酸化膜66を形成する。つぎに、図11(b)に示すように、各素子形成予定領域50a～50dにおいて、それぞれの電極形成領域に対応するシリコン酸化膜66を除去する。そして、図11(c)に示すように、シリコン酸化膜66を除去した部分に、アルミニウム電極67を形成し、第1のダイオード75, n-p-nトランジスタ

3

76, nチャネル型MOSFET 77および第2のダイオード78をそれぞれ形成して集積回路を構成する。

【0007】

【発明が解決しようとする課題】しかしながら、このような誘電体分離基板50を用いて集積回路装置を構成した場合には、以下のように、装置の安定動作化および大容量化の上から問題がある。

【0008】まず、第1の問題点としては、集積回路装置の各構成要素（第1のダイオード75, nPnトランジスタ76, nチャネル型MOSFET 77および第2のダイオード78）は、熱伝導率の極めて低い絶縁膜で囲まれているため、各構成要素において発生する熱が放熱され難く、温度上昇により素子特性が変動するという問題である。すなわち、各構成要素は、底部にシリコン酸化膜たる絶縁膜52を、側部にシリコン酸化膜たる側壁絶縁膜57を、上部にシリコン酸化膜66を有している。これら酸化シリコン（SiO₂）の熱伝導率は、シリコン（Si）のそれに比しておよそ1/100と低いため、各構成要素において発生する熱は外部へ放熱され難いので、特に、損失による発熱の大きなnPnトランジスタ76やnチャネル型MOSFET 77は、温度上昇により素子特性が変動する。また、たとえば、nチャネル型MOSFET 77において発生した熱がnPnトランジスタ76や第2のダイオード78など周囲の半導体素子に影響するので、熱的相互干渉により集積回路装置の特性劣化を招く。

【0009】また、第2の問題点としては、一般的に、縦型の半導体素子は横型の半導体素子に比して活性領域の電流密度が大きく、横型の半導体素子より小さな面積で大電流を流すことができるという長所を有しているが、誘電体分離基板50を用いた集積回路装置においては、縦型の半導体素子を形成することが素子占有面積の点から困難である。

【0010】このような、第1および第2の問題点を解消するために、本発明の課題は、誘電体分離基板を用いた集積回路装置において、素子形成領域における熱を高効率に放熱して、素子特性に影響を及ぼすことのない安定した素子特性を發揮可能な装置とともに、縦型の半導体素子の導入が可能で電流容量の大きな集積回路装置を実現することにある。

【0011】

【課題を解決するための手段】上記課題を解決するためには、本発明に係る集積回路装置において講じた第1の手段は、半導体基板の表面側に絶縁膜を介して形成された半導体層が誘電体分離されて複数の半導体島領域となる集積回路装置において、半導体基板の裏面側から絶縁膜を貫通して少なくとも1つの半導体島領域に達する裏面溝部と、この裏面溝部内に形成され少なくとも半導体基板と半導体島領域とを接続する熱伝導部とを設けるものである。

4

【0012】そして、本発明に係る集積回路装置において講じた第2の手段は、熱伝導部を裏面溝部により露出された半導体島領域の底部、裏面溝部の側壁部および半導体基板の裏面に亘る裏面電極膜として形成するものである。また、この裏面電極膜は、半導体島領域のうちの複数の半導体島領域の底部に接続されてなる共通電極膜であることが好ましい。

【0013】そして、半導体基板は、SOI基板の支持基板であって、面方位<100>のシリコン単結晶基板であることが好ましい。

【0014】

【作用】斯かる手段を講じた本発明に係る集積回路装置においては、半導体基板の裏面側から絶縁膜を貫通して半導体島領域に達するまで形成された裏面溝部により、半導体島領域の底部が露出する。そして、裏面溝部内に形成された熱伝導率の高い熱伝導部が、半導体基板と露出された半導体島領域の底部とを接続するため、半導体島領域に形成された半導体素子において発生する熱は、熱伝導部を介して半導体基板の側へ放熱される。従つて、半導体素子からの放熱が高効率に行なわれるため、温度上昇による素子特性の変動を防止することができる。また、半導体素子において発生した熱は半導体基板の側、すなわち、半導体島領域の下方側へ積極的に放熱されるので、分離溝を介して隣接する半導体素子同士間で放熱の影響を及ぼし合うことがない。それ故、半導体素子の素子特性が安定化し、発熱の大きい半導体素子と、耐熱性の低い半導体素子とを同一ケース上に設置しても、装置の安定動作を維持できるので、小型で高性能の集積回路装置となる。

【0015】また、熱伝導部を裏面電極として形成し、集積回路装置に縦型の半導体素子を作り込むことができるので、装置の大容量化および小型化が可能となる。そして、この裏面電極たる裏面電極膜を裏面溝部により露出された半導体島領域の底部、裏面溝部の側壁部および半導体基板の裏面に亘って形成した場合には、裏面電極の端子を任意に設置できるため、設計が容易であり、また、放熱面が大きいため、より高効率に放熱を行なうことができる。さらに、縦型の半導体素子の導入により、従来大きな電流を流すために必要であった配線の一部が不要となるので、装置の表面の配線数を低減できる。

【0016】

【実施例】つぎに、本発明の実施例について添付図面を参照して説明する。

【0017】図1は、本発明の実施例に係る集積回路装置の構成を示す断面図である。

【0018】この図において、本例の集積回路装置1は、誘電体分離基板2の素子形成領域6a, 6b, 6c, 6dに形成された半導体素子、すなわち、pチャネル型MOSFET 26, nチャネル型MOSFET 27, nチャネル型の縦型MOSFET 28およびダイオ

50

5

ード29によって集積回路が構成され、これらの半導体素子に対しては、シリコン酸化膜（層間絶縁膜）18のコンタクトホールを介してアルミニウム電極（配線膜）19が導電接続している。この誘電体分離基板2は、第1のシリコン基板たる半導体支持基板（半導体基板）3と、この半導体支持基板3にシリコン酸化膜（絶縁膜）4を介して張り合わせされた第2のシリコン基板たるn型の半導体層6と、この半導体層6の表面側からシリコン酸化膜4に達するまで形成されて半導体層6を島状の素子形成領域6a～6dに素子分離する分離溝8と、この分離溝8の側壁に形成されたシリコン酸化膜たる側壁絶縁膜9と、分離溝8の内部に充填された多結晶シリコン膜たる多結晶半導体層10とを有する。なお、半導体層6の裏面側、すなわち、シリコン酸化膜4に接する領域は、n型で高濃度の埋め込み拡散層5として形成されている。ここで、縦型MOSFET28の下方側の半導体支持基板3には、その裏面側からシリコン酸化膜4を貫通して埋め込み拡散層5に達するまで形成された裏面コンタクト溝22と、この裏面コンタクト溝22により露出された埋め込み拡散層5の裏面から裏面コンタクト溝22の側壁および半導体支持基板3の裏面に亘って形成され、縦型MOSFET28の底面と半導体支持基板3および外部とを接続する金属膜23とを有している。そして、このような構成の集積回路装置1は、ハンダ24により、ベース25に実装されている。なお、このベース25には、所定の電位が印加され、ハンダ24を介して導電接続する縦型MOSFET28の裏面電極としての金属膜23に電位を供給する。また、ベース25は縦型MOSFET28からの熱を外部へ放熱する機能も果たすものである。

【0019】このような構成の集積回路装置1は、誘電体分離構造を備えているため、動作が確実で安定しており、特に、高い動作信頼性が要求される回路や高電圧信号および高周波信号を扱うのに適しているという利点を有している。加えて、本例の集積回路装置1は、発熱量の大きな素子の放熱が高効率に行なえる構造となっているため、隣接する半導体素子同士の熱的相互干渉が小さいので、半導体素子の素子特性が安定であるという効果を奏する。すなわち、集積回路装置1においては、発熱量の大きな縦型MOSFET28の下方側の半導体支持基板3に、シリコン酸化膜4を貫通して埋め込み拡散層5にまで達する裏面コンタクト溝22が形成され、この裏面コンタクト溝22により露出された縦型MOSFET28の裏面には、金属膜23が直接導電接続している。このため、縦型MOSFET28において、大電流を処理することにより発生する熱は、熱伝導率の高い金属膜23を介して半導体支持基板3およびベース25へ効率的に放熱される。それ故、分離溝8を介して隣接する半導体素子の素子形成領域6a～6dの間で、互いの発、放熱による影響を受け難いので、いずれの半導体素

6

子も、素子特性が安定している。また、容量の大きな縦型MOSFET28を作り込むことができるので、集積回路装置1の大容量化、小型化が可能となる。

【0020】つぎに、このような構成の集積回路装置1の製造方法の一例について、図2ないし図7を参照して説明する。図2(a)～(c)、図3(a)～(c)、図4(a)～(c)、図5(a)～(d)、図6(a)、(b)および図7(a)、(b)はいずれも、集積回路装置1の製造方法の一部を示す工程断面図である。

【0021】まず、図2(a)に示すように、SOI(Silicon On Insulator)構造を形成する半導体支持基板3および半導体層6の2枚のシリコンウェハのうち、一方側のウェハである半導体層6に対して、加速電圧が120keV、ドーズ量が $3.5 \times 10^{14} \text{ cm}^{-2}$ の条件で砒素をイオン注入し、さらに、温度が約1200℃の水蒸気雰囲気中で、約5時間の熱酸化を行って厚さが $2 \mu\text{m}$ のシリコン酸化膜4を形成する。続いて、半導体層6としてのウェハと、半導体支持基板3としてのウェハとをシリコン酸化膜4を介して接触させた状態で N_2 雰囲気中で2時間の熱処理(約1100℃)を施してSOIウェハを形成した後、温度が約1100℃の水蒸気雰囲気中で約40分間の熱酸化を行って、半導体層6の表面側に厚さが $0.5 \sim 1.0 \mu\text{m}$ のエッチングマスク材としての熱酸化膜7を形成する。続いて、フッ素系混合ガスを用いた反応性イオンエッチング法により、分離溝形成予定領域8aの表面にある熱酸化膜7を除去して分離溝形成予定領域8aを窓開けする。ここで、半導体支持基板3および半導体層6の2枚のシリコンウェハには、面方位<100>のシリコン単結晶ウェハを用いた。特に、半導体層6が面方位<100>のシリコン単結晶ウェハからなるため、後述する裏面コンタクト溝22を形成する過程において、裏面コンタクト溝22のエッチング進行方向の制御ができ、また、加工時間も短縮できる。

【0022】つぎに、図2(b)に示すように、熱酸化膜7をマスクとして、半導体層6に対して、六フッ化硫黄と酸素との混合ガスを用いたプラズマエッチング法により、シリコン酸化膜4にまで達する深さが $20 \sim 50 \mu\text{m}$ の分離溝8を形成する。

【0023】ここで、分離溝8の幅は $6 \sim 10 \mu\text{m}$ である。

【0024】つぎに、図2(c)に示すように、温度が約1100℃の水蒸気雰囲気中で、約150分間の熱酸化を行って、分離溝8の側壁に厚さが $1 \mu\text{m}$ のシリコン酸化膜たる側壁絶縁膜9を形成し、さらに、分離溝8の内部を熱CVD(Chemical Vapor Deposition)法により形成した多結晶シリコンたる多結晶半導体層10で埋め込む。続いて、側壁絶縁膜9および多結晶半導体層10の形成過程において半導

体層6の表面側に積層された不要な多結晶半導体層10および側壁絶縁膜9をシランガスを用いた減圧CVD法により除去して、半導体層6の表面側を平坦化する。このようにして半導体層6に、側壁絶縁膜9および多結晶半導体層10を備える分離壁と、シリコン酸化膜4とによって素子分離された半導体島領域を備える誘電体分離基板2が形成される。

【0025】つぎに、このような誘電体分離基板2において、各素子形成領域6a～6dに、それぞれの半導体素子を形成する工程について説明する。

【0026】まず、図3(a)に示すように、誘電体分離基板2の表面側を熱酸化して厚さ0.5～1.0μmの熱酸化膜11を形成し、この熱酸化膜11にドライエッティングを施し、各素子形成領域、すなわち、nチャネル型のMOSFET形成領域6a、pチャネル型のMOSFET形成領域6b、nチャネル型の縦型MOSFET形成領域6cおよびダイオード形成領域6dを窓開けする。

【0027】つぎに、図3(b)に示すように、熱酸化膜11の窓開け部のうちのpチャネル型のMOSFET6bおよび縦型MOSFET形成領域6cの熱酸化膜11の窓開け部から、イオン注入法によりホウ素を注入して、p型のウェル12を形成した後、誘電体分離基板2の表面側を熱酸化して熱酸化膜13を形成する。

【0028】そして、図3(c)に示すように、熱酸化膜13を選択的に除去する。

【0029】つぎに、図4(a)に示すように、nチャネル型のMOSFET26、pチャネル型のMOSFET27および縦型MOSFET28のゲートを形成するために、誘電体分離基板2の表面側に厚さが0.08～0.1μmのゲート酸化膜14を酸化形成する。そして、このゲート酸化膜14の上に、ゲート電極15としての多結晶シリコンの膜を厚さ0.5～1.2μmに形成した後、nチャネル型のMOSFET26、pチャネル型のMOSFET27および縦型MOSFET28のゲートとなる部分以外を選択的に除去する。

【0030】つぎに、図4(b)に示すように、半導体層6の所定領域に熱酸化膜11、13の窓開け部から、イオン注入法によりリンを注入してn⁺型のコンタクト層16を形成する。一方同様に、イオン注入法によりホウ素を注入してp⁺型のコンタクト層17を形成する。

【0031】つぎに、図4(c)に示すように、誘電体分離基板2の表面側に減圧CVD法により、厚さ1.0～3.0μmのシリコン酸化膜18を形成する。

【0032】つぎに、図5(a)に示すように、半導体支持基板3の裏面側に、半導体層6の表面側に形成されたシリコン酸化膜18と同等のシリコン酸化膜21を形成する。

【0033】つぎに、図5(b)に示すように、半導体層6の表面側のシリコン酸化膜18を選択的に除去して

各素子形成領域6a～6dに、コンタクトホールを形成する。

【0034】そして、図5(c)に示すように、誘電体分離基板2の表面側にアルミニウムの膜を厚さ2.0～3.0μmに形成し、不要な部分を除去して適当な形状にアルミニウム電極19を加工する。

【0035】つぎに、図5(d)に示すように、誘電体分離基板2の表面側の全面に保護膜20を形成する。ここで、保護膜20としては、SiH₄-NH₃系の混合ガスを用いたプラズマCVD法により形成した窒化シリコン膜を用い、その膜厚さは1.0～2.0μmである。

【0036】つぎに、図6(a)に示すように、半導体支持基板3の裏面側に形成されたシリコン酸化膜21の縦型MOSFET形成領域6cに対応する領域を除去して、裏面コンタクト溝形成予定領域22aを窓開けする。ここで、窓開け部の開孔寸法は約1000μmである。

【0037】つぎに、図6(b)に示すように、KOH溶液を用いた異方性エッティングにより、シリコン酸化膜4にまで達する裏面コンタクト溝(裏面溝部)22を形成する。

【0038】つぎに、図7(a)に示すように、裏面コンタクト溝22により露出されたシリコン酸化膜4および半導体支持基板3の裏面側のシリコン酸化膜21にフッ素系混合ガスを用いたドライエッティングを施し除去する。

【0039】そして、図7(b)に示すように、裏面コンタクト溝22により露出された埋め込み拡散層5、裏面コンタクト溝22の側壁および半導体支持基板3の裏面に、蒸着法により厚さが1.0μmの金属膜(熱伝導部)23を形成する。ここで、金属膜23としては、Ti/Ni/Agの3層金属膜を用い、その蒸着には、自公転装置付きの真空蒸着装置を用いた。

【0040】しかる後に、このようにして構成された集積回路装置1を、図1に示すように、ハンダ24を用いてベース25に実装する。

【0041】なお、本例においては、張り合わせ基板から誘電体分離基板2を製造したが、これに限らず、半導体支持基板3の表面側に半導体層6を堆積した基板から製造してもよい。また、素子形成領域に形成される半導体素子の種類などは、半導体装置に構成される集積回路の種類などに応じて設計されるべき性質のものであり、たとえば、縦型バイポーラトランジスタ、縦型ダイオードおよびサイリスタなどであっても良く、その種類に限定がない。また、本例の集積回路装置1の構成に限らず、横型の半導体素子に対して裏面コンタクト溝22および金属膜23を形成しても勿論良く、放熱が高効率に行なわれると共に、半導体素子の電位を基板電位まで容易におとすことができる。また、このような場合には、

たとえば、発熱量の大きい单一の半導体素子に対して形成することは勿論、複数の半導体素子の裏面に共通の裏面コンタクト溝22および金属膜23を形成すれば、より高効率に放熱を行なうことができる。

【0042】

【発明の効果】以上のとおり、本発明に係る集積回路装置においては、裏面溝部が半導体基板の裏面側から絶縁膜を貫通して半導体島領域に達するまで形成されて、この裏面溝部の内側に半導体基板と半導体島領域とを接続する熱伝導部を有することを特徴とする。従って、本発明によれば、半導体島領域に形成された半導体素子において発生する熱は、熱伝導率の高い熱伝導部を介して半導体基板の側へ放熱されるので、温度上昇による素子特性の変動を防止できる。また、半導体素子において発生する熱は、半導体基板の側へ積極的に放熱されるので、分離溝を介して隣接する半導体素子同士間で放熱の影響を及ぼし合うことがない。それ故、半導体素子の素子特性が安定化し、装置動作の安定化が得られる。

【0043】また、熱伝導部を裏面電極とすれば、縦型の半導体素子が形成できるので、集積回路装置の大容量化および小型化が可能となる。そして、この裏面電極なる裏面電極膜を裏面溝部により露出された半導体島領域の底部、裏面溝部の側壁部および半導体基板の裏面に亘って形成した場合には、裏面電極の端子を任意に設置できるため、設計が容易であり、また、放熱面が大きいため、より高効率に放熱を行なうことができる。さらに、縦型の半導体素子の導入により、従来大きな電流を流すために必要であった配線の一部が不要となるので、装置の表面の配線数を低減でき、装置の設計も容易となる。

【図面の簡単な説明】

【図1】本発明の実施例に係る集積回路装置の構成を示す断面図である。

【図2】(a)～(c)のいずれも、図1に示す集積回路装置の製造方法の一部を示す工程断面図である。

【図3】(a)～(c)のいずれも、図1に示す集積回路装置の製造方法のうち、図2に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

【図4】(a)～(c)のいずれも、図1に示す集積回

路装置の製造方法のうち、図3に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

【図5】(a)～(d)のいずれも、図1に示す集積回路装置の製造方法のうち、図4に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

【図6】(a)および(b)は、図1に示す集積回路装置のうち、図5に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

10 【図7】(a)および(b)は、図1に示す集積回路装置のうち、図6に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

【図8】(a)～(c)のいずれも、従来の集積回路装置の製造方法のうち、誘電体分離基板を形成する工程の一部を示す工程断面図である。

【図9】(a)～(c)のいずれも、従来の集積回路装置の製造方法のうち、誘電体分離基板に各素子を作り込む工程の一部を示す工程断面図である。

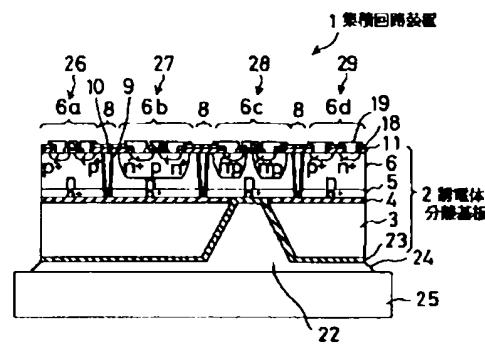
20 【図10】(a)および(b)は、従来の集積回路装置の製造方法のうち、図9に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

【図11】(a)～(c)のいずれも、従来の集積回路装置の製造方法のうち、図10に示す工程に統いて行なわれる工程の一部を示す工程断面図である。

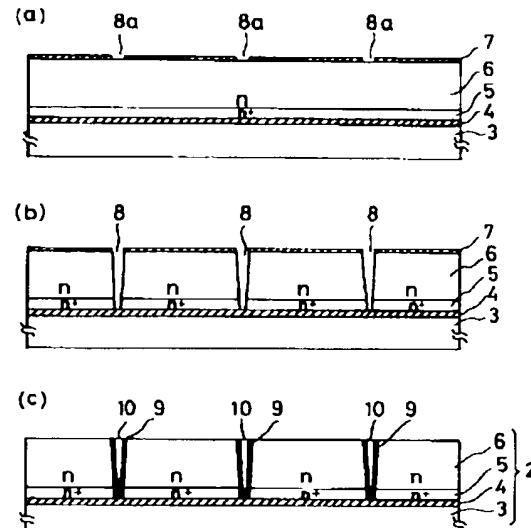
【符号の説明】

- 1 …… 集積回路装置
- 2 …… 誘電体分離基板
- 3 …… 半導体支持基板(半導体基板)
- 4 …… シリコン酸化膜(絶縁膜)
- 5 …… 埋め込み拡散層
- 30 6 …… 半導体層
- 8 …… 分離溝
- 9 …… 側壁絶縁膜
- 10 …… 多結晶半導体層
- 19 …… アルミニウム電極
- 22 …… 裏面コンタクト溝(裏面溝部)
- 23 …… 金属膜(熱伝導部)
- 24 …… ハンダ
- 25 …… ベース

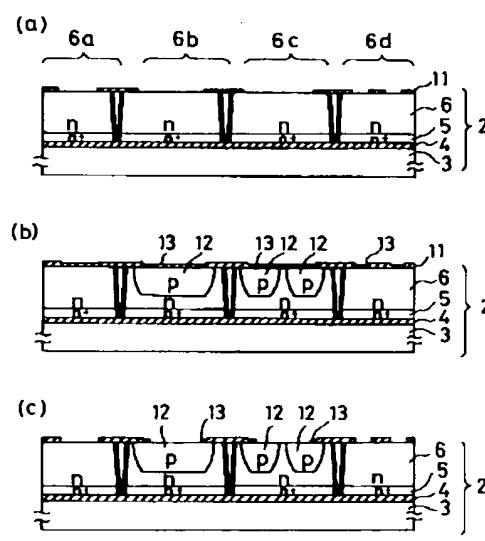
【図1】



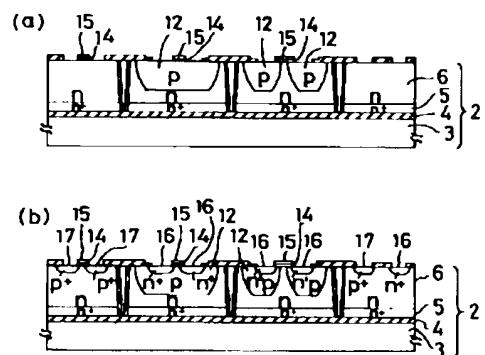
【図2】



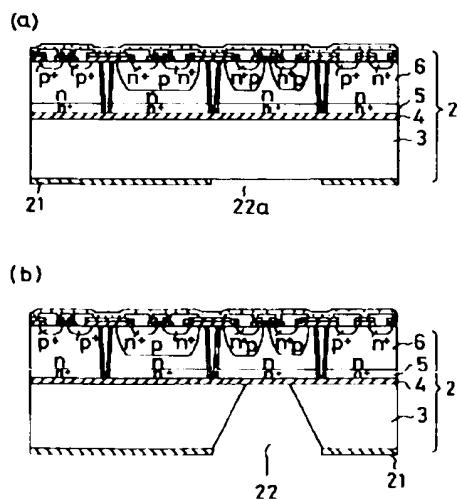
【図3】



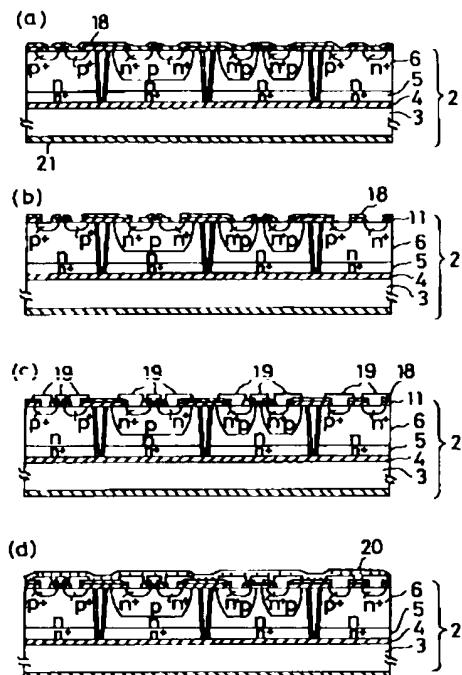
【図4】



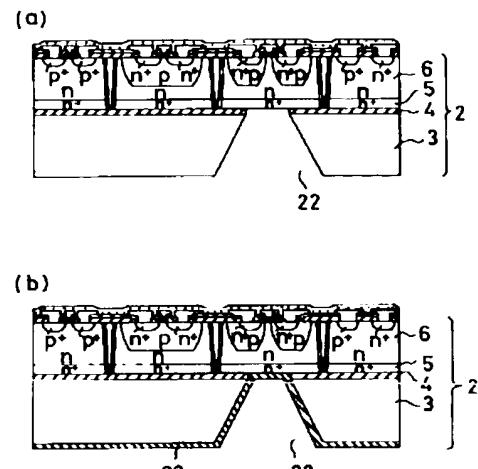
【図6】



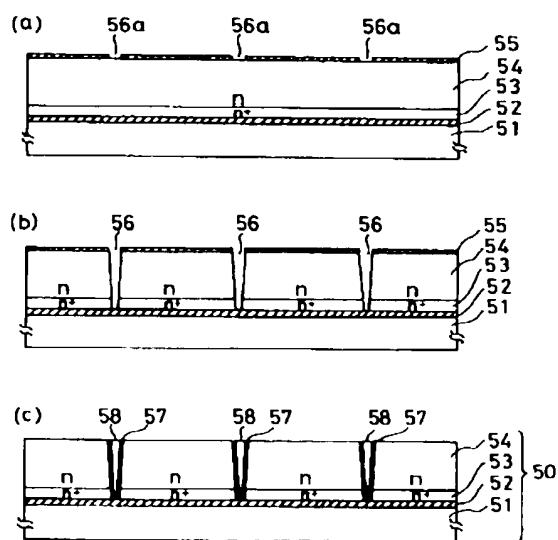
【図5】



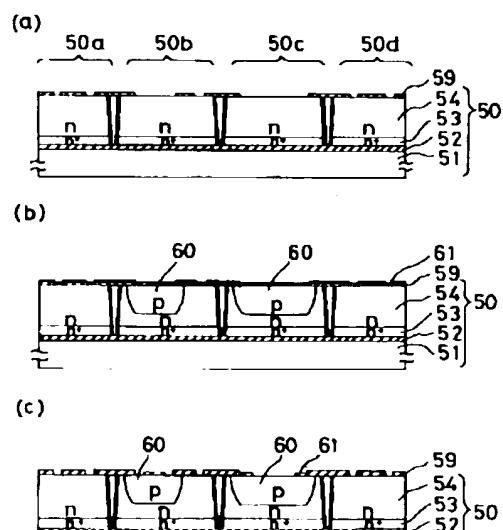
【図7】



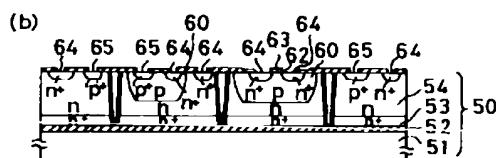
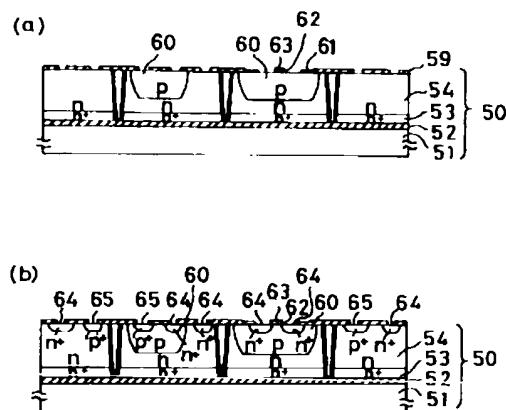
【図8】



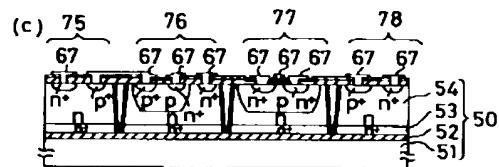
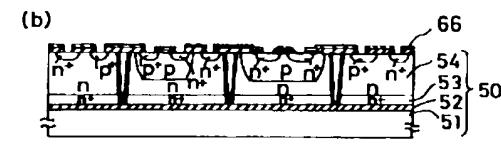
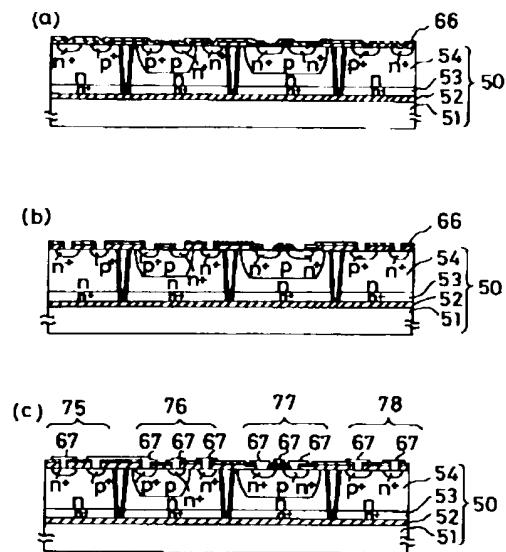
【図9】



【図10】



【図11】



CLIPPEDIMAGE= JP406029376A

PAT-NO: JP406029376A

DOCUMENT-IDENTIFIER: JP 06029376 A

TITLE: INTEGRATED CIRCUIT DEVICE

PUBN-DATE: February 4, 1994

INVENTOR-INFORMATION:

NAME

HIRABAYASHI, ATSUO

ASSIGNEE-INFORMATION:

NAME

FUJI ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP04183603

APPL-DATE: July 10, 1992

INT-CL (IPC): H01L021/76;H01L023/34

US-CL-CURRENT: 257/276,257/713

ABSTRACT:

PURPOSE: To provide an integrated circuit device which efficiently dissipates heat generated by a semiconductor element and allow stable element characteristics.

CONSTITUTION: An integrated circuit device 1 is formed on the front plane side of a semiconductor supporting substrate 3 through a silicon oxide film 4 and is provided with a semiconductor layer 6 which is isolated by dielectric using an isolation groove 8. The semiconductor substrate 3 is provided with a rear plane contact groove 22 which penetrates the silicon oxide film 4 from the rear plane to reach the semiconductor layer 6. A metal film 23

which conductively connects the bottom of the exposed semiconductor layer 6 with the semiconductor supporting substrate 3 and a base 25 is formed in the rear plane contact groove 22 and heat of the semiconductor element is efficiently dissipated.

COPYRIGHT: (C)1994, JPO&Japio